

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-373957

(43)Date of publication of application : 26.12.2002

(51)Int.Cl.

H01L 23/12
H01L 21/3205
H01L 25/11

(21)Application number : 2001-180891

(71)Applicant : SHINKO ELECTRIC IND CO LTD

(22)Date of filing : 14.06.2001

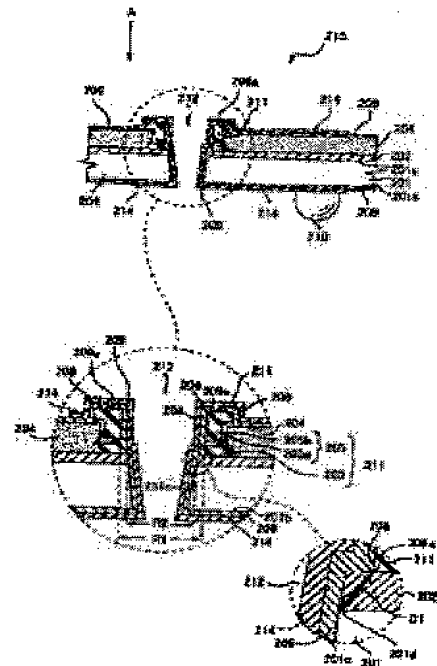
(72)Inventor : MASHINO NAOHIRO
AZUMA MITSUTOSHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device and its manufacturing method, in which electrical connection between a main electrode pad and a wiring pattern can be made surely without providing any electrode pad for via in addition to an existing main electrode pad.

SOLUTION: The semiconductor device 215 comprises a silicon substrate 201 (semiconductor substrate), an element forming layer 202 (element) formed on one side 201a of the silicon substrate 201, an electrode pad 211 connected electrically to the element forming layer 202, a through hole 212 penetrating the electrode pad 211 and the silicon substrate 201, an SiO₂ film 209 (insulating film), a via hole 209a made in the SiO₂ film on the electrode pad 211 along the circumferential edge of the opening of the through hole 212, and a wiring pattern 214 for leading out the electrode pad 211 electrically to the other side 201b of the silicon substrate 201 through the through hole 212 and the via hole 209a.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2002-373957
(P2002-373957A)

(43)公開日 平成14年12月26日(2002.12.26)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト*(参考)
H 0 1 L 23/12	5 0 1	H 0 1 L 23/12	5 0 1 C 5 F 0 3 3
21/3205		25/14	A
25/11		21/88	J
			T

審査請求 未請求 請求項の数23 O L (全 15 頁)

(21)出願番号 特願2001-180891(P2001-180891)

(22)出願日 平成13年6月14日(2001.6.14)

(71)出願人 000190688

新光電気工業株式会社

長野県長野市大字栗田字舎利田711番地

(72)発明者 真篠 直寛

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

(72)発明者 東 光敏

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

(74)代理人 100091672

弁理士 岡本 啓三

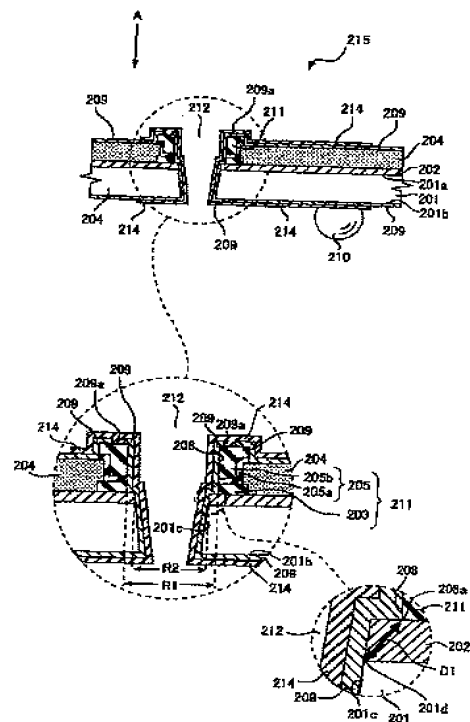
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 既存の本電極パッドにの他にビア用電極パッドを別途設けることなく、本電極パッドと配線パターンとの電氣的接続を確実にすることができる半導体装置及びその製造方法を提供すること。

【解決手段】 シリコン基板201(半導体基板)と、このシリコン基板201の一方の面201a上に形成された素子形成層202(素子)と、素子形成層202と電氣的に接続された電極パッド211と、この電極パッド211とシリコン基板201とを貫くスルーホール212(貫通孔)と、SiO₂膜209(絶縁膜)と、電極パッド211上のSiO₂膜に、上記スルーホール212の開口周縁に沿って設けられたビアホール209aと、スルーホール212とビアホール209aとを介して電極パッド211をシリコン基板201の他方の面201b側に電氣的に引き出す配線パターン214とを備えたことを特徴とする半導体装置215による。



【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板の一方の面上に形成された素子と、
前記一方の面の上方に形成され、前記素子と電気的に接続された電極パッドと、
前記電極パッドと前記半導体基板とを貫く貫通孔と、
少なくとも前記半導体基板の他方の面上、前記貫通孔の内壁、及び前記電極パッド上に形成された絶縁膜と、
前記電極パッド上の前記絶縁膜に、前記貫通孔の開口周縁に沿って設けられたビアホールと、
前記貫通孔と前記ビアホールとを介して前記電極パッドを前記半導体基板の他方の面側に電気的に引き出す配線パターンとを備えたことを特徴とする半導体装置。

【請求項 2】 前記ビアホールが環状であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記ビアホールが弧状であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 前記ビアホールが複数設けられたことを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 前記ビアホールが点状であり複数設けられたことを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】 前記貫通孔の径が、前記半導体基板を貫通する部位よりも前記電極パッドを貫通する部位の方が大きいことを特徴とする請求項 1 乃至請求項 5 のいずれか一項に記載の半導体装置。

【請求項 7】 前記電極パッドが、第 1 の金属から成る下側電極パッドと、前記第 1 の金属よりも高融点の第 2 の金属から成る前記下側電極パッド上に形成された上側電極パッドとを有することを特徴とする請求項 1 乃至請求項 6 のいずれか一項に記載の半導体装置。

【請求項 8】 前記第 1 の金属がアルミニウムであり、前記第 2 の金属が銅であることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】 前記配線パターンが、前記電極パッドを前記半導体基板の一方の面側にも電気的に引き出すことを特徴とする請求項 1 乃至請求項 8 のいずれか一項に記載の半導体装置。

【請求項 10】 請求項 9 に記載の半導体装置が多段に積層され、下側の半導体装置と上側の半導体装置の各対向面側の前記配線パターン同士を外部接続端子を介して電気的に接続したことを特徴とする半導体装置。

【請求項 11】 前記配線パターンと電気的に接続された導電体により前記貫通孔内が充填されたことを特徴とする請求項 1 乃至請求項 8 のいずれか一項に記載の半導体装置。

【請求項 12】 請求項 11 に記載の半導体装置が多段に積層され、下側の半導体装置と上側の半導体装置の各々の対応する前記貫通孔内の導電体同士を外部接続端子を介して電気的に接続したことを特徴とする半導体装置。

【請求項 13】 半導体基板の一方の面上に素子を形成する工程と、

前記半導体基板の一方の面の上方に、前記素子と電気的に接続された電極パッドを形成する工程と、

前記電極パッドと前記半導体基板とを貫通する貫通孔を形成する工程と、

少なくとも前記半導体基板の他方の面上、前記貫通孔の内壁、及び前記電極パッド上に絶縁膜を形成する工程と、

10 前記絶縁膜をパターニングすることにより、前記電極パッドの一部が露出するビアホールを前記貫通孔の開口周縁に沿って形成する工程と、前記絶縁膜上及び前記ビアホール内に導電膜を形成する工程と、

前記導電膜をパターニングすることにより、前記貫通孔と前記ビアホールとを介して前記電極パッドを前記半導体基板の他方の面側に電気的に引き出す配線パターンを形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 14】 前記貫通孔を形成する工程が、
20 パターニングにより前記電極パッドに第 1 の開口を形成する工程と、

前記第 1 の開口の径よりも小さい径のレーザを該第 1 の開口を通して照射することにより、前記素子を含む前記半導体基板に第 2 の開口を形成する工程とを含み、
前記第 1 の開口と前記第 2 の開口とで前記貫通孔が画定されることを特徴とする請求項 13 に記載の半導体装置の製造方法。

【請求項 15】 前記第 1 の開口を形成する工程と前記第 2 の開口を形成する工程との間に、前記半導体基板の他方の面を研磨して該半導体基板を薄厚にする工程が含まれることを特徴とする請求項 14 に記載の半導体装置の製造方法。

【請求項 16】 前記ビアホールを形成する工程が、レーザで前記絶縁膜を開口して行われることを特徴とする請求項 11 乃至請求項 15 のいずれか一項に記載の半導体装置の製造方法。

【請求項 17】 前記レーザを前記絶縁膜にリング状に照射することにより、環状の前記ビアホールを形成することを特徴とする請求項 16 に記載の半導体装置の製造方法。

【請求項 18】 前記電極パッドを形成する工程が、第 1 の金属から成る下側電極パッドを形成する工程と、前記第 1 の金属よりも高融点の第 2 の金属から成る上側電極パッドを前記下側電極パッド上に形成する工程とを含むことを特徴とする請求項 16 又は請求項 17 に記載の半導体装置の製造方法。

【請求項 19】 前記第 1 の金属としてアルミニウムを用い、前記第 2 の金属として銅を用いることを特徴とする請求項 18 に記載の半導体装置の製造方法。

50 【請求項 20】 前記配線パターンを形成する工程によ

り、前記電極パッドが前記半導体基板の一方の面側にも電氣的に引き出されるように前記配線パターンが形成されることを特徴とする請求項 13 乃至請求項 19 に記載の半導体装置の製造方法。

【請求項 21】 請求項 20 に記載の半導体装置の製造方法により製造された半導体装置を複数準備する工程と、

前記半導体装置の各配線パターン同士を外部接続端子を介して電氣的に接続することにより、前記半導体装置を多段に積層する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 22】 前記導電膜を形成する工程の後に、該導電膜と電氣的に接続された導電体で前記貫通孔内を充填する工程を含むことを特徴とする請求項 13 乃至請求項 19 に記載の半導体装置の製造方法。

【請求項 23】 請求項 22 に記載の半導体装置の製造方法により製造された半導体装置を複数準備する工程と、

前記複数の半導体装置の対応する前記各貫通孔の開口から露出する導電体同士を外部接続端子を介して電氣的に接続することにより、前記半導体装置を多段に積層する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置及びその製造方法に関し、より詳細には、半導体装置の小型化に有用な技術に関する。

【0002】

【従来の技術】 従来、実装基板上に実装される半導体装置は、インターポーザと呼ばれる配線基板上に半導体素子を搭載して構成される。このインターポーザは、主として、半導体素子と実装基板のそれぞれの電極端子の位置整合を取るために必要とされている。

【0003】 しかしながら、インターポーザを用いればその厚みの分だけ半導体装置の厚みが増大するので、近年の電子機器の小型化の要求をかなえるためにも、可能ならインターポーザを用いないのが好ましい。そこで、近年、インターポーザを必要としない半導体装置の開発が進められている。この従来例に係る半導体装置の断面図を図 15 (a) に示す。

【0004】 図 15 (a) に示す如く、従来例の半導体装置 101 は、シリコン基板 102 を主体に構成され、インターポーザを備えていない。このシリコン基板 102 の一方の面 102a 上には、トランジスタ等の素子が含まれる素子形成層 103 が形成されて、それがビア用電極パッド 110 と電氣的に接続されている。図中、104 は、ビア用電極パッド 110 や本電極パッド 105 がシリコン基板 102 と電氣的に導通するのを防ぐべく設けられた絶縁膜である。

【0005】 上述の半導体素子形成層 103 とビア用電

極パッド 110 上には、 SiO_2 膜 106 と配線パターン 107 とが積層されている。このうち、 SiO_2 膜 106 にはビアホール 106a が開口されていて、そこを介して配線パターン 107 とビア用電極パッド 110 とが電氣的に接続されている。ビア用電極パッド 110 は、本電極パッド 105 と一体化して設けられる。そして、この本電極パッド 105 とその下方のシリコン基板 102 には、スルーホール 102c が開口されている。

【0006】 係るスルーホール 102c は、この種の半導体装置の特徴で、配線パターン 107 をシリコン基板 102 の他方の面 102b 側にまで引き出すべく設けられたものである。かくして他方の面 102b 側に引き出された配線パターン 107 上には、実装基板（不図示）の端子部と位置整合されるようにして、外部接続端子として機能するはんだバンプ 108 が搭載されている。

【0007】 次に、この半導体装置 101 の平面図を図 15 (b) に示す。図 15 (b) は、半導体装置 101 を図 15 (a) の A 側から見た場合の平面図で、説明の便宜上、配線パターン 107 を省略してある。図 15 (b) に示すように、ビアホール 106a は広径の円形であり、その下にビア用電極パッド 110 が露出している。

【0008】

【発明が解決しようとする課題】 ところで、上述の半導体装置 101 は、図 15 (c) に断面を示す既存の半導体素子 (LSI 等) 109 に対して新たな構造を作り込むことにより作成される。図 15 (c) より分かるように、本電極パッド 105 は、既存の半導体素子 109 にも設けられており、それは本来ボンディングワイヤやスタッドバンプ等が接合されて信号の入出力や電力の供給等が行われる部位である。

【0009】 一方、ビア用電極パッド 110 (図 15 (b) 参照) は、新たな構造の一つであって、既存の半導体素子 109 には設けられていない。係るビア用電極パッド 110 を新たに設けたのは、その上方に広径のビアホール 106a を設けて配線パターン 107 (図 15 (a) 参照) との接触面積を大きくし、応力による配線パターン 107 との膜剥がれや、それに起因する電氣的な接触不良を防ぐためである。

【0010】 上記を約言すれば、従来例では、元々ある本パッド 105 の他に、配線パターン 107 と電氣的に接続される部位としてビア用パッド 110 を新たに設け、電氣的接続を確実にするためにビア用電極パッド 110 上に広径の円形ビアホール 106a を開口していた。しかしながら、このようにビア用電極パッド 110 を新たに設けると、その分だけ半導体装置 101 の平面サイズが大きくなるので、半導体装置の小型化を要求する時代の流れと逆行してしまう。

【0011】 更に、既存の本電極パッド 105 に加えてビア用電極パッド 110 を設けることは、既存の半導体

素子の設計を変更しなければならないので、半導体装置の製造業者（半導体メーカ）に対して大きな負担を強いることになる。本発明は、係る従来例の問題点に鑑みて創作されたものであり、既存の本電極パッドにの他にビア用電極パッドを別途設けることなく、本電極パッドと配線パターンとの電氣的接続を確実に行うことができる半導体装置及びその製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】上記した課題は、第1の10 発明である、半導体基板と、前記半導体基板の一方の面上に形成された素子と、前記一方の面の上方に形成され、前記素子と電氣的に接続された電極パッドと、前記電極パッドと前記半導体基板とを貫く貫通孔と、少なくとも前記半導体基板の他方の面上、前記貫通孔の内壁、及び前記電極パッド上に形成された絶縁膜と、前記電極パッド上の前記絶縁膜に、前記貫通孔の開口周縁に沿って設けられたビアホールと、前記貫通孔と前記ビアホールとを介して前記電極パッドを前記半導体基板の他方の面側に電氣的に引き出す配線パターンとを備えたことを20 特徴とする半導体装置によって解決する。

【0013】又は、第2の発明である、前記ビアホールが環状であることを特徴とする第1の発明に記載の半導体装置によって解決する。又は、第3の発明である、前記ビアホールが弧状であることを特徴とする第1の発明に記載の半導体装置によって解決する。又は、第4の発明である、前記ビアホールが複数設けられたことを特徴とする第3の発明に記載の半導体装置によって解決する。

【0014】又は、第5の発明である、前記ビアホール30 が点状であり複数設けられたことを特徴とする第1の発明に記載の半導体装置によって解決する。又は、第6の発明である、前記貫通孔の径が、前記半導体基板を貫通する部位よりも前記電極パッドを貫通する部位の方が大きいことを特徴とする第1の発明乃至第5の発明のいずれかに記載の半導体装置によって解決する。

【0015】又は、第7の発明である、前記電極パッドが、第1の金属から成る下側電極パッドと、前記第1の金属よりも高融点の第2の金属から成り前記下側電極パッド上に形成された上側電極パッドとを有することを特徴とする第1の発明乃至第6の発明のいずれかに記載の半導体装置によって解決する。又は、第8の発明である、前記第1の金属がアルミニウムであり、前記第2の金属が銅であることを特徴とする第7の発明に記載の半導体装置によって解決する。

【0016】又は、第9の発明である、前記配線パターンが、前記電極パッドを前記半導体基板の一方の面側にも電氣的に引き出すことを特徴とする第1の発明乃至第8の発明のいずれかに記載の半導体装置によって解決する。又は、第10の発明である、第9の発明に記載の

半導体装置が多段に積層され、下側の半導体装置と上側の半導体装置の各対向面側の前記配線パターン同士を外部接続端子を介して電氣的に接続したことを特徴とする半導体装置によって解決する。

【0017】又は、第11の発明である、前記配線パターンと電氣的に接続された導電体により前記貫通孔内が充填されたことを特徴とする第1の発明乃至第8の発明のいずれかに記載の半導体装置によって解決する。又は、第12の発明である、第11の発明に記載の半導体装置が多段に積層され、下側の半導体装置と上側の半導体装置の各々の対応する前記貫通孔内の導電体同士を外部接続端子を介して電氣的に接続したことを特徴とする半導体装置によって解決する。

【0018】又は、第13の発明である、半導体基板の一方の面上に素子を形成する工程と、前記半導体基板の一方の面の上方に、前記素子と電氣的に接続された電極パッドを形成する工程と、前記電極パッドと前記半導体基板とを貫通する貫通孔を形成する工程と、少なくとも前記前記半導体基板の他方の面上、前記貫通孔の内壁、及び前記電極パッド上に絶縁膜を形成する工程と、前記絶縁膜をパターニングすることにより、前記電極パッドの一部が露出するビアホールを前記貫通孔の開口周縁に沿って形成する工程と、前記絶縁膜上及び前記ビアホール内に導電膜を形成する工程と、前記導電膜をパターニングすることにより、前記貫通孔と前記ビアホールとを介して前記電極パッドを前記半導体基板の他方の面側に電氣的に引き出す配線パターンを形成する工程とを含むことを特徴とする半導体装置の製造方法によって解決する。

【0019】又は、第14の発明である、前記貫通孔を形成する工程が、パターニングにより前記電極パッドに第1の開口を形成する工程と、前記第1の開口の径よりも小さい径のレーザを該第1の開口を通して照射することにより、前記素子を含む前記半導体基板に第2の開口を形成する工程とを含み、前記第1の開口と前記第2の開口とで前記貫通孔が画定されることを特徴とする第13の発明に記載の半導体装置の製造方法によって解決する。

【0020】又は、第15の発明である、前記第1の開口を形成する工程と前記第2の開口を形成する工程との間に、前記半導体基板の他方の面を研磨して該半導体基板を薄厚にする工程が含まれることを特徴とする第14の発明に記載の半導体装置の製造方法によって解決する。又は、第16の発明である、前記ビアホールを形成する工程が、レーザで前記絶縁膜を開口して行われることを特徴とする第13の発明乃至第15の発明のいずれかに記載の半導体装置の製造方法によって解決する。

【0021】又は、第17の発明である、前記レーザを前記絶縁膜にリング状に照射することにより、環状の前記ビアホールを形成することを特徴とする第16の発明

に記載の半導体装置の製造方法によって解決する。又は、第 18 の発明である、前記電極パッドを形成する工程が、第 1 の金属から成る下側電極パッドを形成する工程と、前記第 1 の金属よりも高融点の第 2 の金属から成る上側電極パッドを前記下側電極パッド上に形成する工程とを含むことを特徴とする第 16 の発明又は第 17 の発明に記載の半導体装置の製造方法によって解決する。

【0022】又は、第 19 の発明である、前記第 1 の金属としてアルミニウムを用い、前記第 2 の金属として銅を用いることを特徴とする第 18 の発明に記載の半導体装置の製造方法によって解決する。又は、第 20 の発明である、前記配線パターンを形成する工程により、前記電極パッドが前記半導体基板の一方の面側にも電氣的に引き出されるように前記配線パターンが形成されることを特徴とする第 13 の発明乃至第 19 の発明に記載の半導体装置の製造方法によって解決する。

【0023】又は、第 21 の発明である、第 20 の発明に記載の半導体装置の製造方法により製造された半導体装置を複数準備する工程と、前記半導体装置の各配線パターン同士を外部接続端子を介して電氣的に接続することにより、前記半導体装置を多段に積層する工程とを含むことを特徴とする半導体装置の製造方法によって解決する。

【0024】又は、第 22 の発明である、前記導電膜を形成する工程の後に、該導電膜と電氣的に接続された導電体で前記貫通孔内を充填する工程を含むことを特徴とする第 13 の発明乃至第 19 の発明に記載の半導体装置の製造方法によって解決する。又は、第 23 の発明である、第 22 の発明に記載の半導体装置の製造方法により製造された半導体装置を複数準備する工程と、前記複数の半導体装置の対応する前記各貫通孔の開口から露出する導電体同士を外部接続端子を介して電氣的に接続することにより、前記半導体装置を多段に積層する工程とを含むことを特徴とする半導体装置の製造方法によって解決する。

【0025】次に、本発明の作用について説明する。本発明に係る半導体装置によれば、半導体基板と、この半導体基板の一方の面上に形成された素子とを備えている。そして、この素子と電氣的に接続された電極パッドが、上記半導体基板の一方の面の上方に形成されている。この電極パッドと半導体基板には、それらを通する貫通孔が開口されて、係る貫通孔の内壁に絶縁膜が形成されている。この絶縁膜は、更に、上記半導体基板の他方の面上、及び電極パッド上にも形成されている。

【0026】絶縁膜において、電極パッド上に形成された部位には、ビアホールが設けられている。そして、このビアホールと上記貫通孔とを介して電極パッドを半導体基板の他方の面側に電氣的に引き出す配線パターンが、この半導体装置に設けられている。特に、本発明では、絶縁膜のビアホールを貫通孔の開口周縁に沿って設

けることで該ビアホールの開口面積を確保し、上記配線パターンと電極パッドとの電氣的接続を確実にしている。これにより、本発明では、ビアホールの開口面積を確保すべく従来用いたビア用電極パッドが不要となるので、半導体装置の平面サイズを従来よりも小さくされる。

【0027】更に、上記貫通孔の径が、電極パッドを貫通する部位（以下、第 1 の開口と称す）の方が半導体基板を貫通する部位（以下、第 2 の開口と称す）よりも大きくなるようにしても良い。この構造によれば、貫通孔の径が場所によらず一定である場合と比較して、第 1 の開口と第 2 の開口との近接する開口端同士の距離を延ばすことができるので、貫通孔の側壁において電極パッドと半導体基板との絶縁性が十分確保される。

【0028】また、上記配線パターンが、上記電極パッドを半導体基板の一方の面側にも電氣的に引き出すようにしても良い。この場合は、この半導体装置を上下に複数準備し、下側の半導体装置と上側の半導体装置の各対向面側の配線パターン同士を外部接続端子を介して電氣的に接続することで、3次元実装構造が得られる。各々の半導体装置の平面サイズが従来よりも小さいので、この 3次元実装構造は、従来よりも横方向の広がりを抑えられる。

【0029】このように積層する場合は、上記配線パターンと電氣的に接続された導電体により上記貫通孔を充填しても良い。この場合は、貫通孔の開口から露出する部位の導電体が上記配線パターンの役割を果たすので、係る配線パターンを形成する必要がなくなり、上下の半導体装置同士を容易に積層することができる。一方、本発明に係る半導体装置の製造方法によれば、以下の工程が含まれる。

【0030】（a）半導体基板の一方の面上に素子を形成する工程

（b）上記半導体基板の一方の面の上方に、上記素子と電氣的に接続された電極パッドを形成する工程

（c）上記電極パッドと上記半導体基板とを貫通する貫通孔を形成する工程

（d）少なくとも上記半導体基板の他方の面上、上記貫通孔の内壁、及び上記電極パッド上に絶縁膜を形成する工程

（e）上記絶縁膜をパターニングすることにより、上記電極パッドの一部が露出するビアホールを上記貫通孔の開口周縁に沿って形成する工程

（f）上記絶縁膜上及び上記ビアホール内に導電膜を形成する工程

（g）上記導電膜をパターニングすることにより、上記貫通孔と上記ビアホールとを介して上記電極パッドを上記半導体基板の他方の面側に電氣的に引き出す配線パターンを形成する工程

これらの工程のうち、（e）の工程により、ビアホール

が電極パッド上の絶縁膜に貫通孔の開口周縁に沿って形成されるが、上述したように、このビアホールにより、本発明ではビア用の電極パッドを用いる必要が無い。

【0031】また、(c)の工程(貫通孔を形成する工程)に、更に次の工程を含めても良い。

(c1) パターニングにより上記電極パッドに第1の開口を形成する工程

(c2) 上記第1の開口の径よりも小さい径のレーザーを該第1の開口を通して照射することにより、上記素子を含む上記半導体基板に第2の開口を形成する工程

なお、これらの工程を用いる場合は、上記第1の開口と第2の開口とで上記貫通孔が画定する。

【0032】工程(c1)及び(c2)によれば、第1の開口を形成した後に該第1の開口の径よりも小径のレーザーを照射するので、レーザーが第1の開口に触れて電極パッドの材料が蒸散するのが防がれ、蒸散した材料により半導体基板と電極パッドとが電氣的に導通してしまう危険性が低減される。加えて、上記の工程によれば、第1の開口の径が第2の開口の径よりも大きい構造が得られるが、既に説明したように、この構造には、貫通孔の側壁において電極パッドと半導体基板との絶縁性が十分確保されるという利点がある。

【0033】また、上記の工程(c1)と(c2)との間に、半導体基板の他方の面を研磨して該半導体基板を薄厚にする工程を含めても良い。これによれば、第2の開口を形成する前に半導体基板が薄厚にされるので、短時間のレーザー照射で第2の開口を形成でき、レーザー照射に起因する半導体基板の熱的ダメージが低減される。また、レーザーによる加工深さが浅くなるので、レーザーによる材料の蒸散量が低減され、蒸散して貫通孔内に付着する材料の量が低減される。これにより、貫通孔をきれいに形成することができる。

【0034】更に、(e)の工程(絶縁膜にビアホールを形成する工程)は、レーザーで絶縁膜を開口することにより行っても良い。特に、環状のビアホールを形成する場合は、レーザーを絶縁膜にリング状に照射するのが好適である。好適な理由は、リング状に照射する際のレーザーの回転軸を貫通孔に合わせるだけでレーザー源と絶縁膜との位置合わせが終了するので、一点毎に位置合わせを行い当該一点づつレーザーを照射する場合に比べ、プロセス時間が短縮されるという利点を得られるからである。

【0035】また、リング状に照射する場合に限らずレーザーでビアホールを形成する場合は、上記(b)の工程(電極パッドを形成する工程)に、次の工程を含めても良い。

(b1) 第1の金属から成る下側電極パッドを形成する工程

(b2) 上記第1の金属よりも高融点の第2の金属から成る上側電極パッドを上記下側電極パッド上に形成する工程

これらの工程によれば、電極パッドが下側電極パッドと上側電極パッドとの2層構造となる。そして、下側電極パッドが、それよりも高融点の上側電極パッドに保護される。

【0036】レーザーで絶縁膜にビアホールを形成する際、当該レーザーは絶縁膜を貫通しなければならないが、上のように高融点の上側電極パッドで保護することにより、絶縁膜を貫通したレーザーが電極パッドをも貫通してしまうのが防がれる。

10 【0037】

【発明の実施の形態】次に、本発明の好適な実施の形態について、添付図面を参照しながら詳細に説明する。

(1) 本実施形態に係る半導体装置についての説明
まず、本実施形態に係る半導体装置について、図1乃至図4、図13及び図14を参照しながら説明する。

【0038】図1は、本実施形態に係る半導体装置の断面図である。図1に示すように、本実施形態に係る半導体装置215は、シリコン基板201(半導体基板)を備えている。このシリコン基板201の一方の面201a上には、トランジスタ等の素子が作り込まれた半導体素子形成層202が形成され、更に該半導体素子形成層202上に電極パッド211が設けられている。特に明示はしないが、係る電極パッド211は、半導体素子形成層202内の素子と電氣的に接続されている。この電極パッド211とシリコン基板201との間に素子形成層202が介在しているので、電極パッド211はシリコン基板201上ではなく、その上方に形成されていることになる。また、204は、素子形成層202を保護すべく設けられたパッシベーション層であり、例えばSiO₂等から成る。

【0039】図において、212は、電極パッド211とシリコン基板201とを貫くスルーホール(貫通孔)であって、その内壁には、SiO₂膜209(絶縁膜)が形成されている。このSiO₂膜209は、更に、シリコン基板201の他方の面201b上、及び電極パッド211上にも形成されている。図示の如く、電極パッド211上のSiO₂膜209には、本発明の特徴を成すビアホール209aが設けられている。このビアホール209aを介して、電極パッド211と、SiO₂膜209上の配線パターン214とが電氣的に接続されている。

【0040】このビアホール209aについて、図2(a)～(d)を参照しながら説明する。図2(a)～(d)は、図1の半導体装置215を図1のA側から見た場合の平面図であり、ビアホール209aの形状の様々な例を示している。A側とは、シリコン基板201の一方の面201a側である。なお、これらの図では、ビアホール209aを見やすくするため、配線パターン214を省略してある。

50 【0041】ビアホール209aは、その下の電極パッ

ド 211 を配線パターン 214 によって電氣的に引き出すものだから、当然電極パッド 211 上に形成される。但し、係る電極パッド 211 は、本発明を実施するのに新たに設けられたのではなく、既存の半導体素子が備えるものである。すなわち、本発明では、配線パターン 214 が既存の電極パッド 211 に電氣的に接続されるのであって、従来のようにビア用の電極パッドを設けてそこで接続されるのではない。

【0042】本発明でビア用の電極パッドを設ける必要が無いのは、図 2 (a) に示すように、ビアホール 209a がスルーホール 212 の開口周縁に沿って環状に設けられるからである。この形状のビアホール 209a によれば、配線パターン 214 を電氣的に確実に接続するのに十分な開口面積が確保されるので、ビア用の電極パッドを別途設ける必要が無い。

【0043】このように、本発明では、ビア用の電極パッドを必要としないので、その分だけ半導体装置 215 の平面サイズを従来より小さくできる。なお、図 2

(a) に示すように、電極パッド 211 の平面形状は概略正方形で、その一辺の長さは約 $100\mu\text{m}$ 程度である。但し、これは電極パッド 211 の平面形状及びその大きさがこれらに限定されるというのではない。電極パッド 211 の平面形状やその大きさは、諸般の事情を鑑みて任意に設定して良い。そして、環状のビアホール 209a の幅は約 $5\sim 10\mu\text{m}$ 程度であるが、この幅もこれに限られるものではない。

【0044】また、図 2 (a) の環状のビアホール 209a に代えて、図 2 (b) ~ (d) に示す形状のビアホール 209a でも上記と同じ利点を得ることができる。図 2 (b) は、ビアホール 209a をスルーホール 212 の開口周縁に沿って弧状に設けた例である。弧状のビアホール 209a は一つでなくとも良く、図 2 (c) のように複数設けても良い。

【0045】また、図 2 (d) は、点状のビアホール 209a をスルーホール 212 の開口周縁に沿って複数設けた例である。ビアホール 209a の形状は上記に限定されない。肝要なのは、スルーホール 212 の開口周縁に沿ってビアホール 209a を設けることであって、このようにして設けられたビアホール 209a であれば、上記した本発明の利点を得ることができる。

【0046】再び図 1 を参照する。図 1 の点線円内に示す如く、スルーホール 212 は、第 1 の開口 208 と第 2 の開口 201c とで画定されている。このうち、第 1 の開口 208 は電極パッド 211 を貫通する部位であって、第 2 の開口 201c はシリコン基板 201 を貫通する部位である。本発明では、第 1 の開口 208 の径 $R1$ を第 2 の開口 201c の径 $R2$ よりも広径にしている。具体的には、 $R1$ は約 $50\sim 70\mu\text{m}$ 程度であり、 $R2$ は $R1$ に応じて小さくし約 $25\sim 50\mu\text{m}$ 程度であるが、肝要なのは $R1 > R2$ なることで、本発明は上記の数

値に限定されない。

【0047】この構造によれば、径 $R1$ と $R2$ とが同じ場合と比較して、第 1 の開口 208 及び第 2 の開口 201c の近接する開口端 208a、201d 同士の距離 $D1$ (図 1 の右下の点線円内を参照) を延ばすことができる。従って、スルーホール 212 の側壁において、電極パッド 211 とシリコン基板 201 との絶縁性を十分に確保することができる。なお、係る絶縁性が特に問題とならない場合は、径 $R1$ と $R2$ とを同じにしても構わない。

【0048】また、図示の例では、第 2 の開口 201c はテーパ状となっているが、これは後述するようにレーザで第 2 の開口 201c を開口したためであり、テーパ状に限られるというのではない。例えば、第 2 の開口 201c をストレート状に開口しても、本発明の利点を得ることができる。更にまた、図示の例では、スルーホール 212 内が空洞となっているが、図 13 に示すように、配線パターン 214 と電氣的に接続された導電体 217 によりスルーホール 212 内を充填しても良い。この場合の導電体 217 としては、例えば銅がある。

【0049】一方、図 1 の上側の断面図に示される配線パターン 214 に着目すれば、それは SiO_2 膜 209 上に形成されていて、スルーホール 212 を介してシリコン基板 201 の他方の面 201b 側にまで延在している。係る配線パターン 214 は、ビアホール 209a とスルーホール 212 とを介して、電極パッド 211 を他方の面 201b 側に電氣的に引き出すように機能する。

【0050】かくして引き出された配線パターン 214 の所定部位には、外部接続端子として機能するはんだバンプ 210 が搭載されている。但し、これは外部接続端子がはんだバンプ 210 に限られるというのではなく、スタッドバンプ等の公知の外部接続端子を用いても良い。このはんだバンプ 210 が実装基板 (不図示) の端子パッドに当接した状態で該はんだバンプ 210 をリフローすることにより、半導体装置 215 が実装基板上に電氣的かつ機械的に接続される。

【0051】半導体装置 215 は、このように単体で用いても良いし、以下のように複数積層して用いても良い。図 3 は、この半導体装置 215 を図 1 の A 側から見た場合の平面図である。図示のように、一方の面 201a 側に形成された配線パターン 214 には、端子部 214a が設けられている。係る端子部 214a は、電極パッド 211 をシリコン基板 201 の一方の面 201a 側に電氣的に引き出すべく設けられたもので、半導体装置 215 を上下に複数積層する場合に、上側の半導体装置 215 が備えるはんだバンプ 210 が接合される部位である。但し、このように積層する必要が無い場合は、端子部 214a を設ける必要は無い。

【0052】このように積層された半導体装置 215 の断面図を図 4 に示す。図 4 に示すように、上下の半導体

装置 215 の各対向面側の配線パターン 214 同士は、はんだバンプ 210 を介して電氣的に接続されている。この構造は、複数の半導体装置が多段に積層された、所謂 3 次元実装構造である。各々の半導体装置 215 の平面サイズが従来よりも小さいので、この 3 次元実装構造では、従来よりも横方向の広がりを抑えることができる。このことは、近年求められている半導体装置の高密度化及び小型化に大きく寄与する。

【0053】なお、図 13 のようにスルーホール 212 内を導電体 217 で充填した場合は、スルーホール 212 の開口 212a から露出する部位の導電体 217a を上記端子部 214a に代えて用いることができるので、端子部 214a や、はんだバンプ 210 が搭載される部位の配線パターン 214 を不要にすることができ、半導体装置 215 を容易に積層することができる。このように積層した場合の半導体 215 の断面図を図 14 に示す。

【0054】(2) 本実施形態に係る半導体装置の製造方法についての説明

以下に、上記した半導体装置 215 の製造方法について、図 5 (a) ~ (e)、図 6 (a) ~ (e)、図 7 (a) ~ (e)、及び図 8 を参照しながら説明する。図 5 (a) ~ (e)、図 6 (a) ~ (e)、図 7 (a) ~ (e)、図 8、及び図 12 は、本実施形態に係る半導体装置の製造方法について示す断面図である。

【0055】まず最初に、図 5 (a) に示すように、シリコン基板 201 (半導体基板) を準備する。このシリコン基板 201 は、多数の半導体装置を得るための、多数個取の基板 (ウェハ) である。次いで、図 5 (b) に示すように、シリコン基板 201 の一方の面 201a 上に、トランジスタ等の素子を形成する。図中、202 は、このようにして素子が形成された素子形成層を示す。

【0056】続いて、図 5 (c) に示すように、アルミニウム (第 1 の金属) から成る膜 (不図示) を素子形成層 202 上に形成し、該膜をパターニングすることにより、下側電極パッド 203 を形成する。この下側電極パッド 203 の厚みは約 $1\mu\text{m}$ 程度である。なお、アルミニウムに代えて、銅により下側電極パッド 203 を形成しても良い。

【0057】下側電極パッド 203 とシリコン基板 201 との間に素子形成層 201 が介在しているので、下側電極パッド 203 は、シリコン基板 201 に接すること無しに、該シリコン基板 201 の上方に位置することになる。また、特に明示はしないが、下側電極パッド 203 は、素子形成層 202 内の配線層と電氣的に接続されるように形成される。

【0058】次に、図 5 (d) に示すように、下側電極パッド 203 と素子形成層 202 との上に、 SiO_2 等から成るパッシベーション層 204 を形成する。その

後、このパッシベーション層 204 をパターニングして開口 204a を形成し、下側電極パッド 203 を露出させる。なお、上のように図 5 (a) ~ 図 5 (d) の工程を行うのではなく、図 5 (d) に示される状態のものを半導体メーカーから入手し、それに対して以下の工程を行っても良い。図 5 (d) のように、下側電極パッド 203 や半導体素子形成層 202、及びパッシベーション層 204 等が形成されている半導体基板 201 は、半導体メーカーが通常製造する一般的なもので、下側電極パッド 203 は、本来、ワイヤボンディングや外部接続端子 (バンプ等) を接合するための電極パッド (従来例で言う本電極パッド 110) として用いられるものである。

【0059】続いて、図 5 (e) に示すように、パッシベーション層 204 と下側電極パッド 203 の各露出面に、Cr (クロム) から成る給電層 205a を形成する。係る給電層 205a は、例えばスパッタリングにより形成される。次いで、図 6 (a) に示すように、給電層 205a 上に第 1 のフォトレジスト 206 を塗布する。しかる後、この第 1 のフォトレジスト 206 を露光・現像して、パッシベーション層 204 の開口 204a と重なる第 1 のレジスト開口 206a を形成する。

【0060】次に、図 6 (b) に示すように、第 1 のレジスト開口 206a 内に露出する給電層 205a がめっき液 (不図示) に浸漬された状態で、該給電層 205a に電流を供給して、電解銅めっき層 205b を形成する。次いで、図 6 (c) に示すように、第 1 のフォトレジスト 206 を除去した後、第 1 のフォトレジスト 206 の下に形成されていた給電層 205a を選択的にエッチングして除去する。ここまでの工程により、給電層 205a と電解銅めっき層 205b とで構成される上側電極パッド 205 が完成する。この上側電極パッド 205 の厚みは約 $1\sim 25\mu\text{m}$ 程度である。

【0061】なお、係る上側電極パッド 205 は、下側電極パッド 203 を構成するアルミニウム (第 1 の金属) よりも高融点の銅 (第 2 の金属) を主体に構成されることに注意されたい。また、本実施形態では、これら下側電極パッド 203 と上側電極パッド 205 とで電極パッド 211 が構成される。

【0062】続いて、図 6 (d) に示すように、パッシベーション層 204 と電極パッド 211 の各露出面に、第 2 のフォトレジスト 207 を形成する。そして、このフォトレジスト 207 を露光・現像して、電極パッド 211 が露出する第 2 のレジスト開口 207a を形成する。次に、図 6 (e) に示すように、フォトレジスト 207 をエッチングマスクとして用いて電極パッド 211 をパターニングし、該電極パッド 211 に第 1 の開口 208 を形成する。この場合のエッチングには、例えば、化学エッチングやプラズマエッチングが用いられる。なお、この第 1 の開口の径 R1 は、約 $50\sim 70\mu\text{m}$ 程度であるが、電極パッド 211 の径に応じて適宜設

10

20

30

40

50

定して良い。

【0063】次いで、図7(a)に示すように、シリコン基板201の他方の面201bを研磨して、該シリコン基板201を約50～150 μ m程度にまで薄厚にする。この工程により、後で完成する半導体装置が薄厚になるという利点を得られるが、半導体装置を薄厚にする必要が無い場合は、この工程を省略しても良い。続いて、図7(b)に示すように、第1の開口208の径R1よりも小さい径のレーザを該第1の開口208を通じて照射する。レーザの例としては、UVレーザ、YAGレーザ、エキシマレーザ等がある。そして、レーザが照射された部位が蒸散し、第2の開口201cがシリコン基板201に形成される。この第2の開口201cの径R2は、約25～50 μ m程度である。そして、第1の開口208と第2の開口201cとにより、スルーホール212(貫通孔)が画定される。

【0064】上述のように、第1の開口208を形成した後、その径R1よりも小さい径のレーザを照射することで、レーザが第1の開口208に触れて電極パッド211の材料(アルミニウムや銅)が蒸散するのが防がれるので、蒸散した材料がスルーホール212の側壁に付着してシリコン基板201と電極パッド211とが電気的に導通してしまう危険性が低減される。

【0065】加えて、上述の工程によれば、第1の開口208の径R1が第2の開口201cの径R2よりも広径の構造が得られるが、既に説明したように、この構造には、スルーホール212の側壁において電極パッド211とシリコン基板201との絶縁性が十分に確保されるという利点がある。更に、第2の開口201cを形成する前に、図7(a)の工程でシリコン基板201を薄厚にしてあるので、短時間のレーザ照射で第2の開口201cを形成でき、レーザ照射に起因するシリコン基板201の熱的ダメージを低減することができる。

【0066】しかも、レーザによる加工深さが浅くなるので、レーザによるシリコンの蒸散量が低減され、蒸散してスルーホール212内に付着するシリコンの量が低減される。これにより、スルーホール212をきれいに形成することができる。なお、熱的ダメージや、スルーホール212内へのシリコンの付着が問題にならない場合は、図7(a)の工程(シリコン基板201を薄厚にする工程)は省略しても良い。

【0067】また、図では第2の開口201cがテーパ状となっているが、これは平行光のレーザではなく、集光レンズ(不図示)で一点に集光されたレーザを用いているからであって、第2の開口201cがテーパ状でなければいけないというのではない。例えば、第2の開口201cをストレート状に開口しても、本発明の利点を得ることができる。

【0068】更に、上のようにレーザを第1の開口208を通じて照射するのではなく、シリコン基板201の

他方の面201bからレーザを照射することにより、第2の開口201cを開口してもよい。このようにしても、レーザで蒸散したシリコンが電極パッド211に付着するのを防ぐことができる。更にまた、上記図7

(a)と図7(b)の工程の間に、図12に示される工程を行っても良い。この工程では、SiO₂膜等の保護膜216を、パッシベーション層204上、電極パッド211上、第1の開口208の側壁、及び第1の開口208から露出する素子形成層202上に形成する。図7(b)のレーザ加工時に、レーザによるデブリやバリが発生した場合、クリーニング(プラズマクリーニングやケミカルウォッシュ)を行うが、上のように保護膜216を形成しておく、電極パッド211やパッシベーション層204がクリーニングの際に受けるダメージを防止することができる。

【0069】上述のようにスルーホール212を形成した後は、図7(c)に示される工程が行われる。この工程では、SiO₂膜209(絶縁膜)を、少なくとも半導体基板201の他方の面201b上、スルーホール212の内壁、及び電極パッド211上に形成する。係るSiO₂膜209は、例えばCVD法(化学的気相成長法)により形成される。

【0070】なお、図示のようにSiO₂膜209を半導体基板201の両主面側に形成するには、例えば、最初に半導体基板201の一方の面201a側とスルーホール212の側壁にのみSiO₂膜209を形成し、次いで、他方の面201b側にSiO₂膜209を形成すれば良い。次に、図7(d)に示すように、SiO₂膜209をパターニングして、電極パッド211の一部が露出するビアホール209aを、スルーホール212の開口周縁に沿って形成する。係るビアホール209aの形状は、既に説明した図2(a)～(d)の通りである。

【0071】図2(a)～(d)に示されるビアホール209aを形成する方法としては、例えば、これらの形状に対応する開口を有するレジスト(不図示)をSiO₂膜209上に形成し、該開口を通じてSiO₂膜209を選択的にエッチングすれば良い。この際用いられるエッチング技術には、例えば化学エッチングやプラズマエッチングがある。

【0072】或いは、これに代えて、ビアホール209aを形成すべき部位のSiO₂膜209にレーザを照射して該部位を蒸散させ、図2(a)～(d)に示されるビアホール209aを形成しても良い。特に、図2

(a)に示される環状のビアホール209aを形成するには、レーザをトレパニング照射するのが好適である。トレパニング照射とは、図9に示すように、レーザ源から一本のレーザを放射し、そのレーザを回転軸を中心にして回転させることにより、SiO₂膜209上にレーザをリング状に描画する照射方法である。

【0073】これによれば、リング状に照射する際の回転軸をスルーホール212に合わせるだけでレーザ源とSiO₂膜209との位置合わせが終了するので、一点毎に位置合わせを行い当該一点づつレーザを照射する場合に比べ、プロセス時間が短縮されるという利点が得られる。なお、レーザの照射方法はトレバニング照射に限定されない。例えば、ビアホール209aに対応する形状の窓を有する遮光マスク（不図示）にレーザを当て、上記窓を通過するレーザでビアホール209aを開口しても良い。

【0074】更に、レーザの照射方法に依らず、ともかくレーザを用いる場合は、図1に示したように電極パッド211を下側電極パッド203と上側電極パッド205との2層構造にしたことで、次のような利点が得られる。ビアホール209aは、配線パターン214が電極パッド211と電気的に接続される部位であるから、接続を確実にするため、非貫通となつてはならない。そこで、非貫通にならないように、レーザでビアホール209aを形成する場合は、SiO₂膜209を貫通する以上のパワー及び時間でレーザを照射する。すると、図1

【0075】また、下側電極パッド203を銅で形成した場合であっても、上側電極パッド205の厚みにより、下側電極パッド203をレーザから保護することができる。すなわち、下側電極パッド203と上側電極パッド205が同じ材料の場合であっても、上側電極パッド205を厚付けし、電極パッド211をこのような2層構造とすることにより、下側電極パッド203をレーザから保護することができる。

【0076】勿論、下側電極パッド205を貫通しないようにレーザのパワー並びに照射時間を調節できるなら、上側電極パッド205を形成する工程（図5（e）～図6（c）の工程）は不要である。同様に、エッチングでビアホール209aを形成する場合も、上側電極パッド203を形成する工程は不要である。上のようにしてビアホール209aを形成した後は、図7（e）に示す工程が行われる。この工程では、導電膜213を、SiO₂膜209上及びビアホール209a内に形成する。この導電膜213の膜厚は、約1～20μmである。

【0077】導電膜213は、同図の点線円内に示す如く、スパッタリングで形成されたCr（クロム）膜21

3aと、その上に同じくスパッタリングで形成された銅膜213bと、これらCr（クロム）膜213aと銅膜213bとを給電層にして形成された電解銅めっき膜213cとで構成される。但し、導電膜213の構造はこれに限定されない。例えば、スパッタリングによりアルミニウム膜を形成し、該アルミニウム膜を導電膜213としても良い。或いは、Cr（クロム）膜をスパッタリングにより形成し、その後、Cu（銅）、Ni（ニッケル）、Au（金）等の膜を無電解めっきや電解めっきによりこのCr（クロム）膜上に形成して導電膜213としても良い。

【0078】なお、図示の例では、スルーホール212内が空洞となっているが、本発明はこれに限られない。例えば、上記電解銅めっき膜213cを厚付けすることにより、図13の拡大断面図のように、スルーホール212内を銅から成る導電体217で充填しても良い。充填の仕方もちこれに限られない。例えば、約1～20μmの膜厚で上記導電膜213を形成後、スルーホール212の側壁のみが露出する開口を備えためっきレジスト層を形成し、該側壁に電解銅めっきを施すことにより、スルーホール212内に銅を充填を施しても良い。この方法では、導電膜213の厚みが厚くならないので、後の工程で導電膜213を微細にパターンニングすることができる。なお、いずれの方法でも、導電体217は、導電膜213と電気的に接続されることに注意されたい。

【0079】以下では、導電体217を充填しない場合について説明するが、導電体で217充填する場合も以下と同様の工程を行えば良い。上のように導電膜213を形成した後は、図8に示すように、この導電膜213をパターンニングして配線パターン214にする。係る配線パターン214は、シリコン基板201の両主面201a、201b側に形成されて、それらは互いにスルーホール212を介して電気的に接続されている。

【0080】その後、シリコン基板201の他方の面201b側の配線パターン214の所定部位に、外部接続端子としてのはんだバンプ210（図1参照）を搭載する。はんだバンプ210を搭載後、ダイシングにより個片化することで、図1に示される半導体装置215が完成する。係る半導体装置215は、単体で実装基板（不図示）に実装しても良いし、互いに積層してから実装しても良い。

【0081】積層する場合は、図3で説明したように、配線パターン214に端子部214aを設ける。そして、図11に示すように、上で完成した半導体装置215を複数準備する。次いで、図4に示すように、はんだバンプ210が下側の半導体装置215の端子部214aに当接した状態で該はんだバンプ210をリフローする。リフロー後、はんだバンプ215の温度が下がれば、半導体装置215が多段に積層された構造、すなわち3次元実装構造が完成する。

【0082】また、スルーホール212内を導電体217で充填した場合は、図14のように、スルーホール212の開口212aから露出する部分の導電体217aが上記端子部214aの役割を果たすので、係る端子部214aや、はんだバンプ210が搭載される部位の配線パターン214を不要にすることができる。以上、本発明について好適な実施形態を挙げ種々説明したが、本発明は上記実施形態に限定されるものではなく、発明の精神を逸脱しない範囲内で多くの改変を施し得るのは勿論のことである。

【0083】

【発明の効果】以上説明したように、本発明に係る半導体装置によれば、半導体基板と、この半導体基板の一方の面上に形成された素子とを備えている。そして、この素子と電氣的に接続された電極パッドが、上記半導体基板の一方の面の上方に形成されている。この電極パッドと半導体基板には、それらを貫通する貫通孔が開孔されて、係る貫通孔の内壁に絶縁膜が形成されている。この絶縁膜は、更に、上記半導体基板の他方の面上、及び電極パッド上にも形成されている。

【0084】絶縁膜において、電極パッド上に形成された部位には、ビアホールが設けられている。そして、このビアホールと上記貫通孔とを介して電極パッドを半導体基板の他方の面側に電氣的に引き出す配線パターンが、この半導体装置に設けられている。特に、本発明では、絶縁膜のビアホールを貫通孔の開口周縁に沿って設けることで該ビアホールの開口面積を確保し、上記配線パターンと電極パッドとの電氣的接続を確実にしている。これにより、本発明では、ビアホールの開口面積を確保すべく従来用いたビア用電極パッドが不要となるので、半導体装置の平面サイズを従来よりも小さくすることができる。

【0085】更に、上記貫通孔の径が、電極パッドを貫通する部位の方が半導体基板を貫通する部位よりも大きくなるようにしても良い。このようにすると、貫通孔の側壁において電極パッドと半導体基板との絶縁性を十分確保することができる。また、上記配線パターンが、上記電極パッドを半導体基板の一方の面側にも電氣的に引き出すようにしても良い。この場合は、この半導体装置を上下に複数準備し、下側の半導体装置と上側の半導体装置の各対向面側の配線パターン同士を外部接続端子を介して電氣的に接続することで、従来よりも横方向の広がりや抑えられた3次元実装構造を得ることができる。

【0086】なお、3次元実装構造を得るには、上記配線パターンと電氣的に接続された導電体により上記貫通孔を充填しても良い。この場合は、貫通孔の開口から露出する部位の導電体は上記配線パターンの役割を果たすので、係る配線パターンを形成する必要がなくなり、上下の半導体装置同士を容易に積層することができる。一方、本発明に係る半導体装置の製造方法によれば、以下

の工程が含まれる。

【0087】(a) 半導体基板の一方の面上に素子を形成する工程

(b) 上記半導体基板の一方の面の上方に、上記素子と電氣的に接続された電極パッドを形成する工程

(c) 上記電極パッドと上記半導体基板とを貫通する貫通孔を形成する工程

(d) 少なくとも上記半導体基板の他方の面上、上記貫通孔の内壁、及び上記電極パッド上に絶縁膜を形成する工程

(e) 上記絶縁膜をパターニングすることにより、上記電極パッドの一部が露出するビアホールを上記貫通孔の開口周縁に沿って形成する工程

(f) 上記絶縁膜上及び上記ビアホール内に導電膜を形成する工程

(g) 上記導電膜をパターニングすることにより、上記貫通孔と上記ビアホールとを介して上記電極パッドを上記半導体基板の他方の面側に電氣的に引き出す配線パターンを形成する工程

これらの工程のうち、(e)の工程により、ビアホールが電極パッド上の絶縁膜に貫通孔の開口周縁に沿って形成されるが、このビアホールにより、本発明ではビア用の電極パッドを用いる必要が無い。

【0088】また、(c)の工程(貫通孔を形成する工程)に、更に次の工程を含めても良い。

(c1) パターニングにより上記電極パッドに第1の開口を形成する工程

(c2) 上記第1の開口の径よりも小さい径のレーザを該第1の開口を通して照射することにより、上記素子を含む上記半導体基板に第2の開口を形成する工程

なお、この場合は、上記第1の開口と第2の開口とで上記貫通孔が画定される。

【0089】これらの工程(c1)、(c2)により、レーザが第1の開口に触れて電極パッドの材料が蒸散するのを防ぐことができ、蒸散した材料により半導体基板と電極パッドとが電氣的に導通してしまう危険性を低減することができる。加えて、上記の工程によれば、第1の開口の径が第2の開口の径よりも大きい構造が得られるが、この構造には、貫通孔の側壁において電極パッドと半導体基板との絶縁性が十分確保されるという利点がある。

【0090】また、上記の工程(c1)と(c2)との間に、半導体基板の他方の面を研磨して該半導体基板を薄厚にする工程を含めても良い。これによれば、薄厚にしたことで短時間で第2の開口を形成でき、レーザ照射に起因する半導体基板の熱的ダメージを低減することができる。また、レーザによる加工深さが浅くなることで、レーザによる材料の蒸散量が低減することができ、蒸散して貫通孔内に付着する材料の量を低減することができる。これにより、貫通孔をきれいに形成することが

できる。

【0091】更に、(e)の工程(絶縁膜にビアホールを形成する工程)は、レーザで絶縁膜を開口することにより行っても良い。特に、環状のビアホールを形成する場合は、レーザを絶縁膜にリング状に照射すると、一点毎に位置合わせを行い当該一点づつレーザを照射する場合に比べ、プロセス時間が短縮することができる。

【0092】また、リング状に照射する場合に限らずレーザでビアホールを形成する場合は、上記(b)の工程(電極パッドを形成する工程)に、次の工程を含めても

(b1)第1の金属から成る下側電極パッドを形成する工程

(b2)上記第1の金属よりも高融点の第2の金属から成る上側電極パッドを上記下側電極パッド上に形成する工程

これらの工程によれば、下側電極パッドがそれよりも高融点の上側電極パッドに保護されるので、絶縁膜を貫通したレーザが電極パッドをも貫通してしまうのを防ぐことができる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る半導体装置の断面図である。

【図2】本発明の実施の形態において、ビアホールの形状の例を示す平面図である。

【図3】図1に示す本発明の実施の形態に係る半導体装置を図1のA側から見た場合の平面図である。

【図4】本発明の実施の形態に係る半導体装置を複数積層し、3次元実装構造とした場合の断面図である。

【図5】本発明の実施の形態に係る半導体装置の製造方法について示す断面図(その1)である。

【図6】本発明の実施の形態に係る半導体装置の製造方法について示す断面図(その2)である。

【図7】本発明の実施の形態に係る半導体装置の製造方法について示す断面図(その3)である。

【図8】本発明の実施の形態に係る半導体装置の製造方法について示す断面図(その4)である。

【図9】本発明の実施の形態に係る半導体装置の製造方法において、トレパニング照射を説明するための図である。

【図10】本発明の実施の形態に係る半導体装置の製造方法において、レーザでビアホールを形成する際、下側電極パッドが上側電極パッドで保護されることを示す断面図である。

【図11】本発明の実施の形態に係る半導体装置の製造方法において、半導体装置を複数準備したときの断面図である。

【図12】本発明の実施の形態に係る半導体装置の製造

方法において、図7(a)と図7(b)の工程の間に、保護膜216を形成する場合の断面図である。

【図13】本発明の実施の形態に係る半導体装置において、貫通孔内を導電体で充填した場合の拡大断面図である。

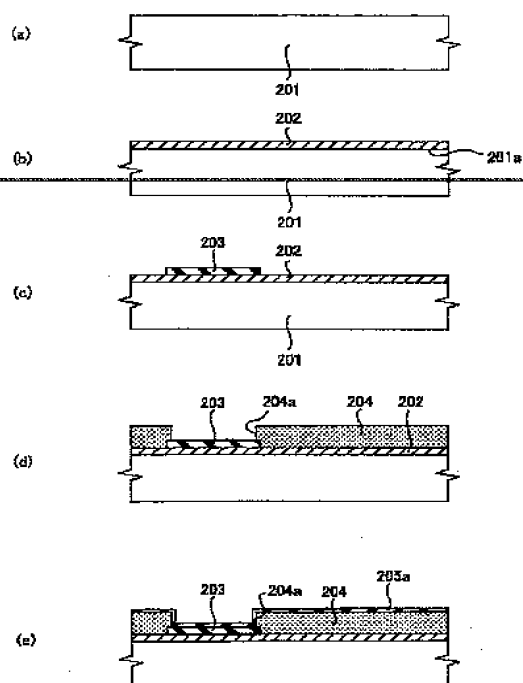
【図14】本発明の実施の形態に係る半導体装置において、貫通孔内を導電体で充填し、該半導体装置を複数積層して3次元実装構造とした場合の断面図である。

【図15】図15(a)は、従来例に係る半導体装置の断面図であり、図15(b)は、従来例に係る半導体装置の平面図であり、図15(c)は、従来例に係る既存の半導体素子の断面図である。

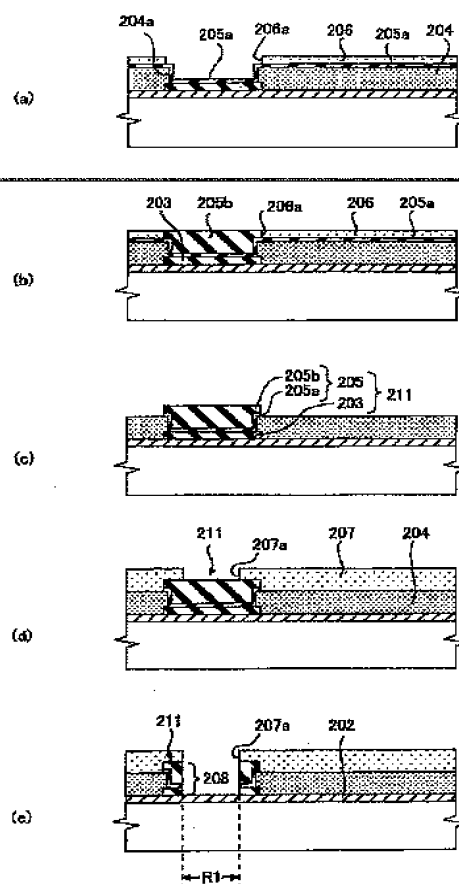
【符号の説明】

101、215・・・半導体装置、
102、201・・・シリコン基板、
102a・・・シリコン基板102の一方の面、
102b・・・シリコン基板102の他方の面、
102c、212・・・スルーホール、
103、202・・・素子形成層、
104・・・絶縁膜、
105・・・本電極パッド、
106、209・・・SiO₂膜、
106a、209a・・・ビアホール、
107、214・・・配線パターン、
108、210・・・はんだバンプ、
109・・・既存の半導体素子、
110・・・ビア用電極パッド、
201a・・・シリコン基板201の一方の面、
201b・・・シリコン基板201の他方の面、
201c・・・第2の開口、
201d・・・第2の開口201cの開口端、
203・・・下側電極パッド、
204・・・パッシベーション層、
205・・・上側電極パッド、
205a・・・給電層、
205b・・・電解銅めっき層、
205c・・・上側電極パッド205の一部、
206・・・第1のフォトレジスト、
206a・・・第1のレジスト開口、
207・・・第2のフォトレジスト、
207a・・・第2のレジスト開口、
208・・・第1の開口、
208a・・・第1の開口208の開口端、
211・・・電極パッド、
213・・・導電膜、
214a・・・配線パターン214の端子部、
216・・・保護膜、
217・・・導電体。

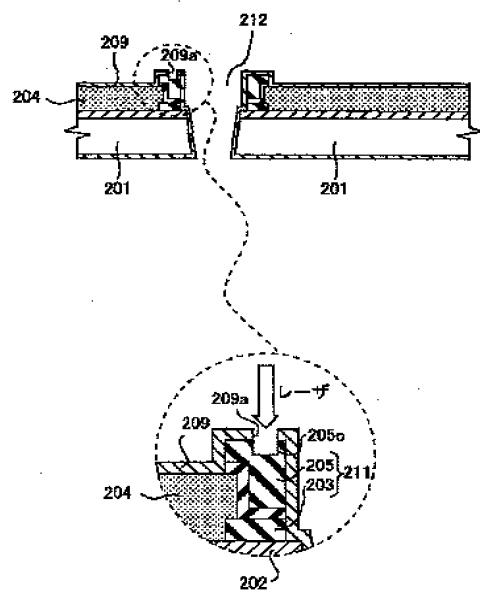
【图 5】



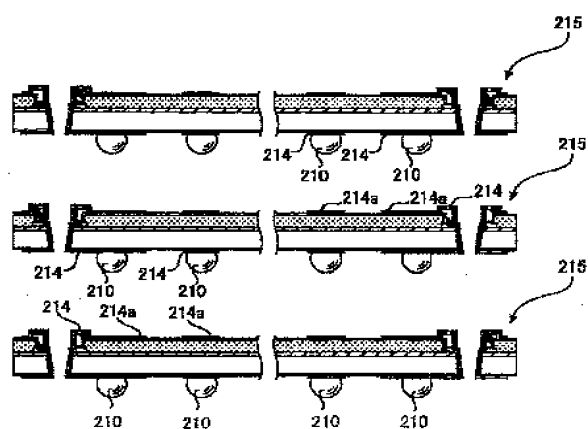
【图 6】



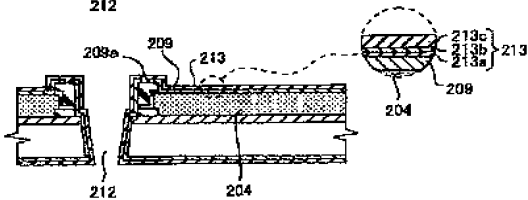
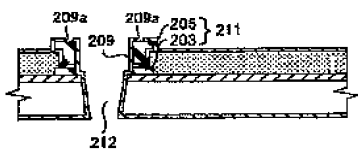
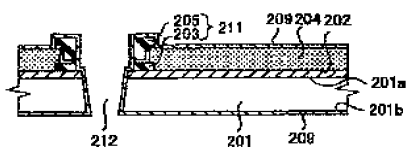
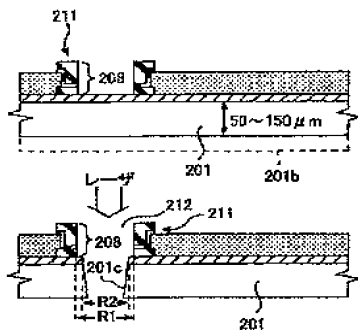
【図 10】



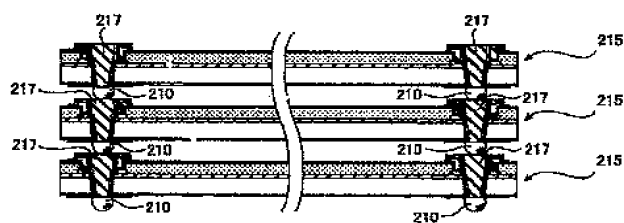
【图 1-1】



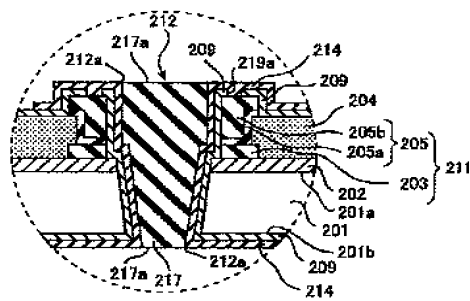
【図7】



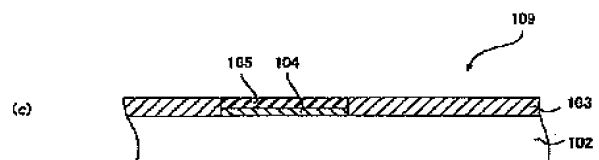
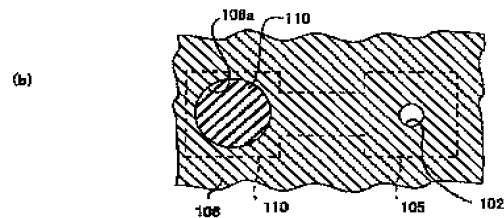
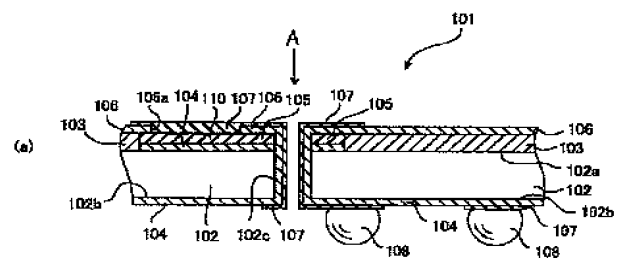
【図14】



【図13】



【図15】



フロントページの続き

Fターム(参考) 5F033 HH07 HH08 HH11 HH13 HH17
 JJ01 JJ07 JJ08 JJ11 JJ13
 JJ17 KK08 KK11 KK17 MM05
 MM30 NN05 PP15 PP27 PP28
 PP33 QQ08 QQ09 QQ10 QQ12
 QQ37 QQ46 QQ53 QQ91 RR04
 SS11 TT07 TT08 VV07 XX03
 XX31